

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-186343

(43) 公開日 平成9年(1997)7月15日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 2 7 E
21/336			27/08	3 3 1 E
27/08	3 3 1		29/78	6 1 2 B
				6 1 3 A

審査請求 有 発明の数1 OL (全 8 頁)

(21) 出願番号 特願平8-328111
 (62) 分割の表示 特願昭62-96756の分割
 (22) 出願日 昭和62年(1987)4月20日

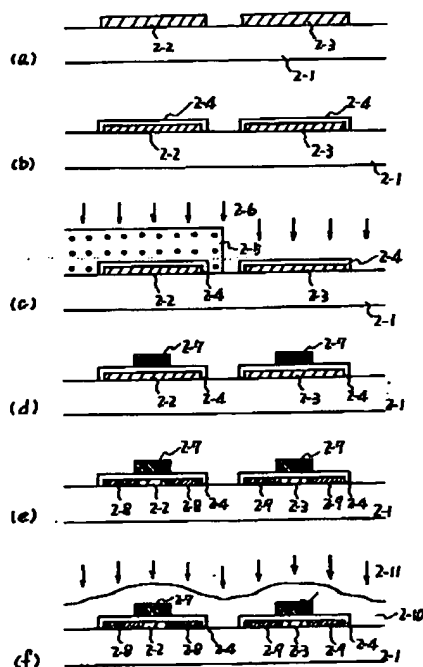
(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (72) 発明者 竹中 敏
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【課題】 OFF電流が小さく高コントラストなアクティブマトリクス基板を実現する。

【解決手段】 多結晶シリコン薄膜のチャネルとなる領域に第1不純物を $10^{12} \sim 10^{13} \text{ cm}^{-2}$ にドーピングする工程を有し、このドーピング工程はゲート絶縁膜形成後であって、且つゲート電極形成前とする。



【特許請求の範囲】

【請求項1】 絶縁性透明基板上に、多結晶シリコン薄膜と該多結晶シリコン薄膜を熱酸化させて形成されたゲート酸化膜とゲート電極と不純物拡散領域とで構成されたNチャネル多結晶シリコン薄膜トランジスタとPチャネル多結晶シリコン薄膜トランジスタを形成する薄膜トランジスタの製造方法において、前記ゲート電極形成前に、前記Nチャネル多結晶シリコン薄膜トランジスタのみに選択的にボロンをチャネルドーピングする工程と、前記不純物拡散領域の活性化熱処理後に水素プラズマ処理工程あるいは水素イオン打込み工程あるいはプラズマ窒化膜形成工程とを有することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁性透明基板上に形成されるアクティブマトリクスあるいはイメージセンサの画素のスイッチング素子あるいは駆動回路に用いられるCMOS (Complementary-Metal-Oxide-Semiconductor) 型多結晶シリコン薄膜トランジスタにおいて、低駆動電圧で大電流が得られ、さらに両チャネルトランジスタのスレッシュホールド電圧(以下 V_{th} と記す)の絶対値が一致するCMOS型多結晶シリコン薄膜トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】多結晶シリコンにおいては、結晶粒界に存在するダングリングボンドなどの欠陥が、キャリアに対するトラップ準位あるいは障壁として働くと一般的に考えられており(John Y. W. Seto, J. Appl. Phys., 46, 5247 (1975) 参照)、従って多結晶シリコン薄膜トランジスタの性能を向上させるためには、前記欠陥を低減させる必要がある。

(J. Appl. Phys., 53 (2), 1193

(1982) 参照) その目的で、水素による前記欠陥の終端化が行なわれており、その中でも代表的な方法が、水素プラズマ処理(応用物理学会, 1986年秋季大会予稿集, 講演番号27p-Q-5 あるいは、Materials-Research-Society Symp. Proc. Vol. 53, 419 (1986) 参照) あるいは水素イオン打込み法(IEEE Electron-Device-Letters, Vol. EDL-7, No. 11, November (1986), 597ページ参照) あるいはプラズマ窒化膜の形成(電子通信学会技術研究報告SSD83-75, 23ページ参照) などである。これらの方法を用いると、トランジスタ特性の大幅な特性改善がなされる。しかしながら、特性が向上する反面、Nチャネルトランジスタがデプレッション方向に大きくシフトし、Pチャネルトランジスタがエンハンスメント方向にわずかながらシフトするという V_{th}

の異常シフトの問題が生じる。この原因は、トランジスタがプラズマ中にさらされる事により、ゲート酸化膜中に正の固定電荷が形成されチャネル部が常に負に誘起されている為だと考えられている。(電子通信学会技術研究報告SSD83-75, 23ページ参照) 一方、水素プラズマ処理による V_{th} のシフト量がNチャネルトランジスタについてはマイナス1Vからマイナス2Vであるのに対し、Pチャネルトランジスタについては、マイナス0.1V程度であり(発明者による実験結果) この現象についての原因は、まだわかっていない。

【0003】

【発明が解決しようとする課題】従来技術では、ゲート電極形成前に、ウエハ全面にわたってイオン打込み法により、ボロンをチャネルドーピングする方法と、多結晶シリコン薄膜として、ボロンドープされた多結晶シリコン薄膜を堆積させて用いるという2つの方法がある。しかしながら、前述のように水素プラズマあるいは水素イオン打込み法、あるいは、プラズマ窒化膜形成工程による V_{th} のシフト量がNチャネルとPチャネルとで異なる為、従来技術では、Pチャネルトランジスタが、エンハンスメント方向にシフトしすぎてしまい、両チャネルの V_{th} の絶対値の値を等しくできなくなってしまう。

【0004】本発明は、このような水素プラズマ処理あるいは水素イオン打込み法あるいはプラズマ窒化膜形成工程によるCMOS型多結晶シリコン薄膜トランジスタの V_{th} の制御に関して、従来方法により生じたPチャネル多結晶シリコン薄膜トランジスタが、エンハンスメント方向へ大きくシフトするという問題点を解決し、 V_{th} の絶対値が小さくてサブスレッシュホールド領域の立ち上がり急峻で、さらにPチャネル及びNチャネル共にその V_{th} の絶対値がほぼ等しいCMOS型多結晶シリコン薄膜トランジスタを実現することを目的としている。

【0005】

【課題を解決するための手段】本発明のCMOS型多結晶シリコン薄膜トランジスタ及びその製造方法は、絶縁性透明基板上に多結晶シリコン薄膜と該多結晶シリコン薄膜を熱酸化させて形成されたゲート酸化膜とゲート電極と不純物拡散領域とで構成されたNチャネル多結晶シリコン薄膜トランジスタとPチャネル多結晶シリコン薄膜トランジスタとを有するCMOS型多結晶シリコン薄膜トランジスタにおいて、前記ゲート電極形成前に、前記Nチャネル多結晶シリコン薄膜トランジスタのみに選択的にボロンをチャネルドーピングする工程と、前記不純物拡散領域の活性化熱処理後に水素プラズマ処理工程あるいは水素イオン打込み工程あるいはプラズマ窒化膜形成工程とを有することを特徴とする。

【0006】

【発明の実施の形態】実施例1を、図1により、工程図

に従って説明する。同図(a)において、絶縁性透明基板1-1上に無添加多結晶シリコン薄膜の島1-2と1-3を形成する。前記無添加多結晶シリコン薄膜の島は、減圧CVDなどで堆積せられ、続いてフォトリソエッチングで形成される。次に同図(b)に示すように、レジストマスク1-4を形成し、島1-3のみにボロンをチャンネルドーピングする。このようにしてNチャネル薄膜トランジスタにするべき島1-3のみを低濃度のボロンドープされたP型多結晶シリコンにする。1-5はボロンビームを示す。ただし V_{th} のシフト量が1ボルト程度で、抵抗率が低下しないくらいのチャンネルドーピング打込み量に設定する必要がある、およそ 10^{12} cm^{-2} から 10^{13} cm^{-2} 程度が適当である。その後レジストマスク1-4は剥離される。続いて同図(c)で示すように熱酸によりゲート酸化膜1-6を形成する。同図(d)と(e)は一般的なCMOS工程である。1-7はゲート電極であり、n型多結晶シリコンが使われる。該ゲート電極1-7をマスクとしてボロンあるいはリンを必要とところにイオン打込みして、ボロンドープ領域1-8及び、リンドープ領域1-9を形成する。このようにして、Pチャネル多結晶シリコン薄膜トランジスタ1-10及び、低濃度にボロンをチャンネルドーピングされたNチャネル多結晶シリコン薄膜トランジスタ1-11が作製される。次に層間絶縁膜1-12を形成する。該層間絶縁膜はCVD法(減圧CVDあるいは常圧CVD)による SiO_2 を用いて形成される。続いて前記ボロンドープ領域1-8及びリンドープ領域1-9の活性化熱処理を約 1000°C で行なう。この段階でのTFT特性は、Pチャネル多結晶シリコン薄膜トランジスタ1-10は通常の特性であるが、低濃度にボロンをチャンネルドーピングされたNチャネル多結晶シリコン薄膜トランジスタ1-11は、エンハンスメント方向にシフトしている。ここで水素プラズマ処理あるいは水素イオン打込み処理が行なわれる。同図1-13は、水素プラズマにより発生した反応性の高い水素ラジカル、あるいは水素イオンビームを示している。水素プラズマは平行平板型の一般的なプラズマ装置と水素ガスを用いることにより簡単に得ることができる。その後、コンタクトホール形成工程、続いて電極形成工程などそれぞれのデバイスに必要な工程へと続いてゆく。前記電極材料として、金属(アルミニウムあるいはクロムなど)を用いる場合には、電極形成後に水素プラズマ処理あるいは水素イオン打込み処理を行なっても何ら問題はない。ただし、ITO(Indium Tin Oxide)あるいは SnO_2 などの透明導電膜を前記電極材料に用いる場合は、該透明導電膜が還元作用を受けるため、水素プラズマ処理あるいは水素イオン打込み処理は電極形成前に行なわなければならない。

【0007】実施例1では、ゲート酸化膜形成前に選択チャンネルドーピングする方法について説明したが、実施

例2では、ゲート酸化膜形成後に選択チャンネルドーピングする方法について説明する。同図(a)に示すように実施例1と同様な方法で絶縁性透明基板2-1上に無添加多結晶シリコン薄膜の島2-2と2-3を形成する。次に同図(b)で示すように熱酸化によりゲート酸化膜2-4を形成する。続いて同図(c)レジストマスク2-5を形成し、無添加多結晶シリコン薄膜の島2-3のみに、ボロンをチャンネルドーピングする。このようにゲート酸化膜2-4を通して、Nチャネル多結晶シリコン薄膜トランジスタにするべき島2-3のみを低濃度にボロンドープされたP型多結晶シリコンにする。2-6はボロンビームを示す。チャンネルドーピング打込み量については実施例1のところで述べたのでここでは省略する。その後、レジストマスク2-5は剥離される。以後同図(d), (e), (f)で示す工程は、実施例1のところで図1(d), (e), (f)に従って説明した事と同様なので、ここでは省略する。

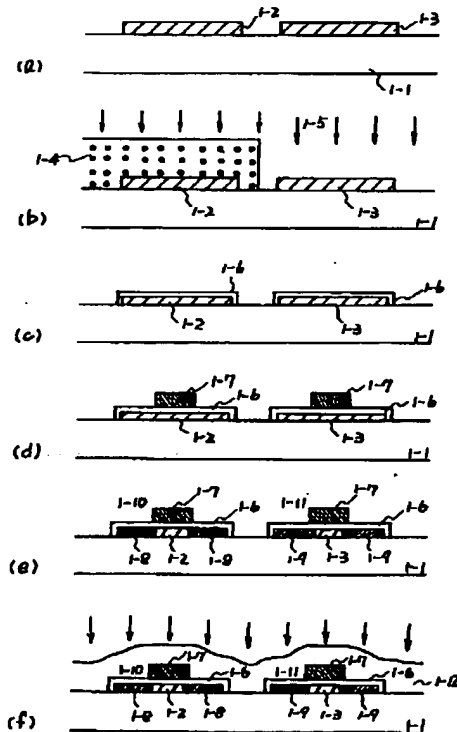
【0008】以上述べたように本発明によれば、従来の水素プラズマ処理で生じた、Nチャネル多結晶シリコン薄膜トランジスタがデプレッション方向へ1Vから2V程度シフトするという異常シフトの問題を、Nチャネル多結晶シリコン薄膜トランジスタのみのチャンネル部にボロンを低濃度(10^{12} cm^{-2} から 10^{13} cm^{-2} 程度)に選択チャンネルドーピングしたので、エンハンスメント方向へ制御して解決することができる。従って、水素プラズマ処理あるいは水素イオン打込み処理あるいはプラズマ窒化膜形成による多結晶シリコンの欠陥の低減という長所を最大限に利用することが可能となった。つまり、サブスレッシユホールド領域の立ち上がりが急しゅんとなり、 V_{th} の絶対値が低減され、しかもNチャネル、Pチャネル共にその V_{th} の絶対値の大きさが一致するという優れた特性を有する。CMOS型多結晶シリコン薄膜トランジスタの実現が可能となる。図3にCMOS型多結晶シリコン薄膜トランジスタに対する本発明の効果を示す。図3(a)にNチャネル多結晶シリコン薄膜トランジスタに対する本発明の効果を示す。同図は発明者が実験して得たデータである。横軸はゲートとソース間電圧 V_{GS} であり、縦軸はドレイン電 I_{DS} の対数である。測定はドレインとソース間の電圧 V_{DS} を5V一定にして行なった。同図において破線3-1の曲線が従来方法による結果であり、実線3-2の曲線が、ボロンを選択チャンネルドーピングされた薄膜トランジスタのトランジスタ特性である。図3(b)には同様にPチャネル多結晶シリコン薄膜トランジスタのトランジスタ特性を示す。 V_{DS} は-5Vである。Pチャネル多結晶シリコン薄膜トランジスタは、チャンネルドーピングはされていないので、 V_{th} のシフト量は、問題とならない。これらの結果からわかるように、従来方法では、水素プラズマ処理あるいは水素イオン打込み処理あるいはプラズマ窒化膜形成など(以下まとめて水素処理と呼ぶ)によるN

チャンネルのデプレッション方向への異常シフトを全面にボロンなチャンネルドーピングという方向で行なっていたので、前記水素処理による異常シフトの小さいPチャンネル多結晶シリコン薄膜トランジスタはエンハンスメント方向へ異常シフトしてしまった。本発明ではNチャンネル多結晶シリコン薄膜トランジスタのみにボロンを選択チャンネルドーピングするので、Nチャンネルのみ V_{th} がエンハンスメント方向に制御されることとなり、前記水素処理後には両チャンネルの V_{th} の絶対値のほとんど一致した、優れたCMOS型多結晶シリコン薄膜トランジスタを実現することが可能となった。

【0009】

【発明の効果】アクティブマトリクス基板に本発明を用いるとOFF電流が小さいので高コントラストなアクティブマトリクス基板が実現できる。また、CMOS構造である為シフトレジスタ回路と光電変換素子を同一基板に作り込んだイメージセンサーにも応用することができ、前記イメージセンサーの高速読み取りや大型化、あるいはカラー化などに対して大きな効果が期待できる。OFF電流も低下するので、低消費電力化にも役立つ。またトランジスタ特性の立ち上がりが急しゅんになるので、素子の駆動電圧の低減もできるので素子の信頼性向

【図1】



上にもつながる。

【0010】このように、アクティブマトリクス基板あるいはイメージセンサーなどのデバイスの高速動作、低消費電力、低駆動電圧化、及び高信頼化などの要求項目に対し、本発明の効果は非常に大きい。

【図面の簡単な説明】

【図1】(a)から(f)は、本発明におけるCMOS型多結晶シリコン薄膜トランジスタの工程図であり、実施例1である。

10 【図2】(a)から(f)は、同じく本発明の実施例2を示す工程図である。

【図3】(a)、(b)は、CMOS型多結晶シリコン薄膜トランジスタに対する本発明の効果を示すトランジスタ特性図である。

【符号の説明】

1-4と2-5；選択チャンネルドーピングのためのレジストマスク

1-5と2-6；ボロンビーム

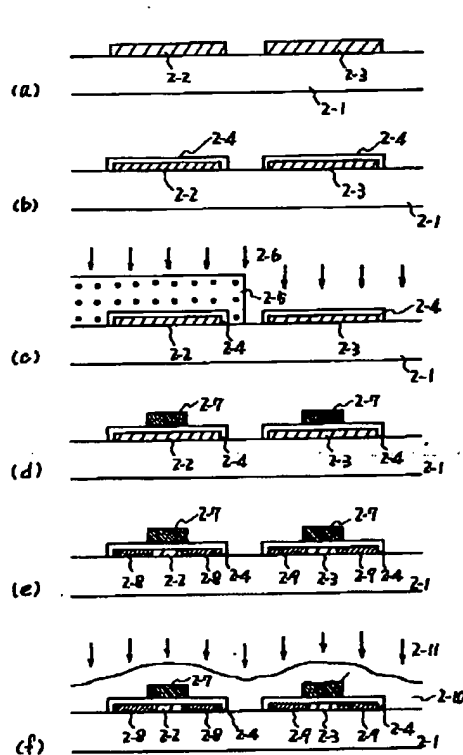
1-13と2-11；水素ラジカル

20 3-1；従来例によるNチャンネルのトランジスタカーブ

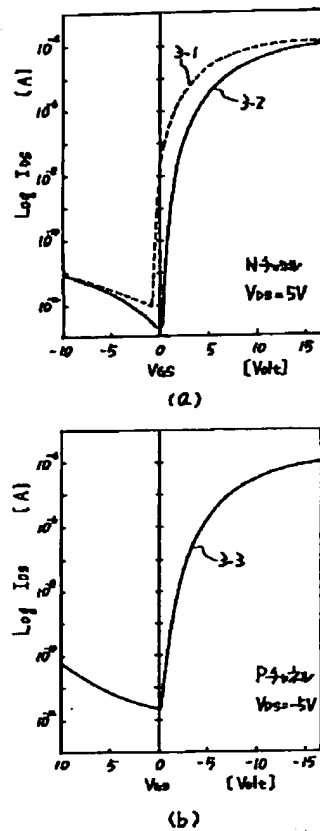
3-2；本発明によるNチャンネルのトランジスタカーブ

3-3；本発明によるPチャンネルのトランジスタカーブ

【図2】



【図3】



【手続補正書】

【提出日】平成9年1月8日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 絶縁性基板上に多結晶シリコン薄膜を形成する工程と、
 前記多結晶シリコン薄膜上にゲート絶縁膜を形成する工程と、
 前記多結晶シリコン薄膜のチャネルとなる領域に第1不純物を低濃度にドーピングする工程と、
 前記多結晶シリコン薄膜の上に前記ゲート絶縁膜を介してゲート電極を形成する工程と、
 前記多結晶シリコン薄膜に選択的に第2不純物を高濃度にドーピングしてソース・ドレイン領域を形成する工程と、
 前記ソース・ドレイン領域を形成した後に、水素処理を

施す工程とを有し、
 前記第1不純物を低濃度にドーピングする工程は、前記ゲート絶縁膜の形成後であって、且つ前記ゲート電極の形成前であり、前記第1不純物を低濃度にドーピングするドーピング量は、 10^{12} cm^{-2} から 10^{13} cm^{-2} であることを特徴とする薄膜トランジスタの製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明は、絶縁性透明基板上に形成されるアクティブマトリクスあるいはイメージセンサの画素のスイッチング素子あるいは駆動回路に用いられる多結晶シリコン薄膜トランジスタの製造方法に関する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】

【発明が解決しようとする課題】従来技術では、ゲート電極形成前に、ウエハ全面にわたってイオン打込み法により、ボロンをチャネルドーピングする方法と、多結晶シリコン薄膜として、ポロンドープされた多結晶シリコン薄膜を堆積させて用いるという2つの方法がある。しかしながら、前述のように水素プラズマあるいは水素イオン打込み法、あるいは、プラズマ窒化膜形成工程によるVthのシフト量がNチャネルとPチャネルとで異なる為に、チャネルのVthの調整が難しいという問題を有していた。本発明は、このような水素プラズマ処理あるいは水素イオン打込み法あるいはプラズマ窒化膜形成工程による多結晶シリコン薄膜トランジスタのVthの制御に関して、従来方法により生じた問題点を解決し、Vthの絶対値が小さくてサブスレッショルド領域の立ち上がりが急しゅんな多結晶シリコン薄膜トランジスタを実現することを目的としている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】

【課題を解決するための手段】本発明の薄膜トランジスタの製造方法は、絶縁性基板上に多結晶シリコン薄膜を形成する工程と、前記多結晶シリコン薄膜上にゲート絶縁膜を形成する工程と、前記多結晶シリコン薄膜のチャネルとなる領域に第1不純物を低濃度にドーピングする工程と、前記多結晶シリコン薄膜の上に前記ゲート絶縁膜を介してゲート電極を形成する工程と、前記多結晶シリコン薄膜に選択的に第2不純物を高濃度にドーピングしてソース・ドレイン領域を形成する工程と、前記ソース・ドレイン領域を形成した後に、水素処理を施す工程とを有し、前記第1不純物を低濃度にドーピングする工程は、前記ゲート絶縁膜の形成後であって、且つ前記ゲート電極の形成前であり、前記第1不純物を低濃度にドーピングするドーピング量は、 10^{12}cm^{-2} から 10^{13}cm^{-2} であることを特徴とする

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】

【発明の実施の形態】参考例を、図1により、工程図に従って説明する。同図(a)において、絶縁性透明基板1-1上に無添加多結晶シリコン薄膜の島1-2と1-

3を形成する。前記無添加多結晶シリコン薄膜の島は、減圧CVDなどで堆積させられ、続いてフォトリソグラフィで形成される。次に同図(b)に示すように、レジストマスク1-4を形成し、島1-3のみにボロンをチャネルドーピングする。このようにしてNチャネル薄膜トランジスタにするべき島1-3のみを低濃度のポロンドープされたP型多結晶シリコンにする。1-5はボロンビームを示す。ただしVthのシフト量が1ボルト程度で、抵抗率が低下しないくらいのチャネルドーピング量に設定する必要がある、およそ 10^{12}cm^{-2} から 10^{13}cm^{-2} 程度が適当である。その後レジストマスク1-4は剥離される。続いて同図(c)で示すように熱酸によりゲート酸化膜1-6を形成する。同図(d)と(e)は一般的なCMOS工程である。1-7はゲート電極であり、n型多結晶シリコンが使われる。該ゲート電極1-7をマスクとしてボロンあるいはリンを必要とところにイオン打込みして、ポロンドープ領域1-8及び、リンドーピング領域1-9を形成する。このようにして、Pチャネル多結晶シリコン薄膜トランジスタ1-10及び、低濃度にボロンをチャネルドーピングされたNチャネル多結晶シリコン薄膜トランジスタ1-11が作製される。次に層間絶縁膜1-12を形成する。該層間絶縁膜はCVD法(減圧CVDあるいは常圧CVD)による SiO_2 を用いて形成される。続いて前記ポロンドープ領域1-8及びリンドーピング領域1-9の活性化熱処理を約 1000°C で行なう。この段階でのTFT特性は、Pチャネル多結晶シリコン薄膜トランジスタ1-10は通常特性であるが、低濃度にボロンをチャネルドーピングされたNチャネル多結晶シリコン薄膜トランジスタ1-11は、エンハンスメント方向にシフトしている。ここで水素プラズマ処理あるいは水素イオン打込み処理が行なわれる。同図1-13は、水素プラズマにより発生した反応性の高い水素ラジカル、あるいは水素イオンビームを示している。水素プラズマは平行平板型の一般的なプラズマ装置と水素ガスを用いることにより簡単に得ることができる。その後、コンタクトホール形成工程、続いて電極形成工程などそれらのデバイスに必要な工程へと続いてゆく。前記電極材料として、金属(アルミニウムあるいはクロムなど)を用いる場合には、電極形成後に水素プラズマ処理あるいは水素イオン打込み処理を行なっても何ら問題はない。ただし、ITO(Indium Tin Oxide)あるいは SnO_2 などの透明導電膜を前記電極材料に用いる場合は、該透明導電膜が還元作用を受けるため、水素プラズマ処理あるいは水素イオン打込み処理は電極形成前に行なわなければならない。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】参考例では、ゲート酸化膜形成前に選択チャネルドーピングする方法について説明したが、次に本発明の実施例について説明する。本実施例では、ゲート酸化膜形成後に選択チャネルドーピングする方法について説明する。同図(a)に示すように参考例と同様な方法で絶縁性透明基板2-1上に無添加多結晶シリコン薄膜の島2-2と2-3を形成する。次に同図(b)で示すように熱酸化によりゲート酸化膜2-4を形成する。続いて同図(c)レジストマスク2-5を形成し、無添加多結晶シリコン薄膜の島2-3のみに、ボロンをチャネルドーピングする。このようにゲート酸化膜2-4を通して、Nチャネル多結晶シリコン薄膜トランジスタにするべき島2-3のみを低濃度にボロンドープされたP型多結晶シリコンにする。2-6はボロンビームを示す。チャネルドーピング打込み量については参考例のところで述べたのでここでは省略する。その後、レジストマスク2-5は剥離される。以後同図(d)、(e)、(f)で示す工程は、参考例のところで図1(d)、(e)、(f)に従って説明した事と同様なので、ここでは省略する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】以上述べたように本発明によれば、従来の水素プラズマ処理で生じた、Nチャネル多結晶シリコン薄膜トランジスタがデプレッション方向へ1Vから2V程度シフトするという異常シフトの問題を、Nチャネル多結晶シリコン薄膜トランジスタのみのチャネル部にボロンを低濃度(10^{12} cm^{-2} から 10^{13} cm^{-2} 程度)に選択チャネルドーピングしたので、エンハンスメント方向へ制御して解決することができる。従って、水素プラズマ処理あるいは水素イオン打込み処理あるいはプラズマ窒化膜形成による多結晶シリコンの欠陥の低減という長所を最大限に利用することが可能となった。つまり、サブスレッショルド領域の立ち上がりが急しゅんとなり、 V_{th} の絶対値が低減され、しかもNチャネル、Pチャネル共にその V_{th} の絶対値の大きさが一致するという優れた特性を有する。CMOS型多結晶シリコン薄膜トランジスタの実現が可能となる。図3にCMOS型多結晶シリコン薄膜トランジスタに対する本実施例の効果を示す。図3(a)にNチャネル多結晶シリコン薄膜トランジスタに対する本発明の効果を示す。同図は発明者が実験して得たデータである。横軸はゲートとソース間電圧 V_{GS} であり、縦軸はドレイン電 I_{DS} の対数である。測定はドレインとソース間の電圧 V_{DS} を5V一定にして行なった。同図において破線3-1の曲線が従来方法による結果であり、実線3-2の曲線が、ボロン

を選択チャネルドーピングされた薄膜トランジスタのトランジスタ特性である。図3(b)には同様にPチャネル多結晶シリコン薄膜トランジスタのトランジスタ特性を示す。 V_{DS} は-5Vである。Pチャネル多結晶シリコン薄膜トランジスタは、チャネルドーピングはされていないので、 V_{th} のシフト量は、問題とならない。これらの結果からわかるように、従来方法では、水素プラズマ処理あるいは水素イオン打込み処理あるいはプラズマ窒化膜形成など(以下まとめて水素処理と呼ぶ)によるNチャネルのデプレッション方向への異常シフトを全面にボロンなチャネルドーピングという方向で行なっていたので、前記水素処理による異常シフトの小さいPチャネル多結晶シリコン薄膜トランジスタはエンハンスメント方向へ異常シフトしてしまった。本発明ではNチャネル多結晶シリコン薄膜トランジスタのみにボロンを選択チャネルドーピングするので、Nチャネルのみ V_{th} がエンハンスメント方向に制御されることとなり、前記水素処理後には両チャネルの V_{th} の絶対値のほとんど一致した、優れたCMOS型多結晶シリコン薄膜トランジスタを実現することが可能となった。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】

【発明の効果】アクティブマトリクス基板に本発明を用いるとOFF電流が小さいので高コントラストなアクティブマトリクス基板が実現できる。また、CMOS構造である為シフトレジスタ回路と光電変換素子を同一基板に作り込んだイメージセンサーにも応用することができ、前記イメージセンサーの高速読み取りや大型化、あるいはカラー化などに対して大きな効果が期待できる。OFF電流も低下するので、低消費電力化にも役立つ。またトランジスタ特性の立ち上がりが急しゅんになるので、素子の駆動電圧の低減もできるので素子の信頼性向上にもつながる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】(a)から(f)は、本発明の参考例におけるCMOS型多結晶シリコン薄膜トランジスタの工程図である。

【図2】(a)から(f)は、同じく本発明の実施例を示す工程図である。

【図3】(a)、(b)は、CMOS型多結晶シリコン薄膜トランジスタに対する本発明の効果を示すトランジ

スタ特性図である。

【符号の説明】

1-4と2-5；選択チャネルドーピングのためのレジストマスク

1-5と2-6；ボロンビーム

1-13と2-11；水素ラジカル

3-1；従来例によるNチャネルのトランジスタカーブ

3-2；本発明によるNチャネルのトランジスタカーブ

3-3；本発明によるPチャネルのトランジスタカーブ

PAT-NO: JP409186343A
DOCUMENT-IDENTIFIER: JP 09186343 A
TITLE: MANUFACTURE OF THIN FILM TRANSISTOR
PUBN-DATE: July 15, 1997

INVENTOR-INFORMATION:
NAME
TAKENAKA, SATOSHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
SEIKO EPSON CORP N/A

APPL-NO: JP08328111
APPL-DATE: December 9, 1996

INT-CL (IPC): H01L029/786, H01L021/336 , H01L027/08

ABSTRACT:

PROBLEM TO BE SOLVED: To lessen the absolute value of a threshold voltage to make steep a rise of a subthreshold region by a method wherein first impurities are doped to a region, where is used as a channel consisting of a polycrystalline silicon thin film, in a low concentration after the formation of a gate insulating film and before the formation of gate electrodes.

SOLUTION: Islands 1-2 and 1-3 consisting of a non-doped polycrystalline silicon thin film are formed on an insulative transparent substrate 1-1. Then, a resist and a mask 1-4 are formed and boron is channel-doped to the island 1-3

only. The doping amount of the boron is set from
10¹²cm⁻² to
10¹³cm⁻². Subsequently, gate oxide films
1-6 are formed by
thermal oxidation. After that, boron or the like is
implanted into necessary
places using gate electrodes 1-7 as masks to form
boron-doped regions 1-8. In
such a way, a P-channel polycrystalline silicon thin film
transistor 1-10 and
an N-channel polycrystalline silicon thin film transistor
1-11 channel-doped
boron in a low concentration are manufactured.

COPYRIGHT: (C)1997,JPO

DERWENT-ACC-NO: 1997-412901

DERWENT-WEEK: 199931

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: CMOS TFT mfr. for switching element
of image sensor, active matrix substrate - involves
doping boron selectively and heat treating
impurity diffused area, after which hydrogen plasma
treatment, hydrogen ion implantation or plasma nitride film
formation is performed

PATENT-ASSIGNEE: SEIKO EPSON CORP[SHIH]

PRIORITY-DATA: 1987JP-0096756 (April 20, 1987) ,
1996JP-0328111 (April 20,
1987)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 09186343 A		July 15, 1997	N/A
008	H01L 029/786		

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-DESCRIPTOR	APPL-NO
JP 09186343A		Div ex	
1987JP-0096756		April 20, 1987	
JP 09186343A		N/A	
1996JP-0328111		April 20, 1987	

INT-CL (IPC): H01L021/336, H01L027/08 , H01L029/786

RELATED-ACC-NO: 1988-350101, 1999-056401 , 1999-363445

ABSTRACTED-PUB-NO: JP 09186343A

BASIC-ABSTRACT:

The method involves forming N-channel polycrystalline Si TFT and P-channel polycrystalline Si TFT, over an insulated substrate. A gate oxide film is formed by performing heat oxidation of the polycrystalline Si thin film structure. Boron beam (2-6) is irradiated, to dope boron selectively into the N- channel polycrystalline Si TFT.

Heat treating is then performed to the impurity diffused area, followed by gate electrode formation. Hydrogen plastic treatment, hydrogen ion implantation or plasma nitride film formation are subsequently performed.

ADVANTAGE - Enables high speed operation of devices.
Attains high contrast
active matrix substrate, since OFF current is minimum.
Reduces power
consumption. Improves reliability.

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS: CMOS TFT MANUFACTURE SWITCH ELEMENT IMAGE
SENSE ACTIVE MATRIX
SUBSTRATE DOPE BORON SELECT HEAT TREAT IMPURE
DIFFUSION AREA AFTER
HYDROGEN PLASMA TREAT HYDROGEN ION IMPLANT
PLASMA NITRIDE FILM
FORMATION PERFORMANCE

DERWENT-CLASS: L03 U11 U12 U14

CPI-CODES: L04-C01B; L04-C02B; L04-C11C; L04-C16; L04-E01;

EPI-CODES: U11-C02J6; U11-C18A1; U12-B03A; U14-K01A2B;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1997-132196

Non-CPI Secondary Accession Numbers: N1997-344094